

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-077771

(43) Date of publication of application : 22.03.1996

(51) Int.Cl.

G11C 11/409

(21) Application number : 06-214806 (71) Applicant : MITSUBISHI ELECTRIC CORP

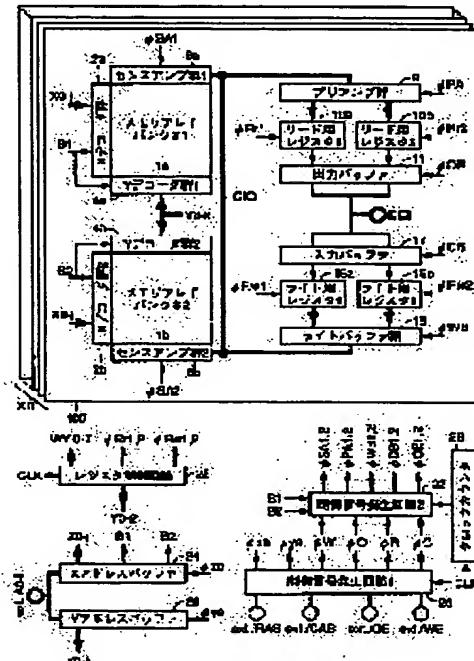
(22) Date of filing : 08.09.1994 (72) Inventor : IWAMOTO HISASHI
KONISHI YASUHIRO
WATANABE NAOYA

(54) SYNCHRONOUS SEMICONDUCTOR STORAGE DEVICE AND SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To provide a synchronous semiconductor storage device and a semiconductor storage device which can suppress the increase of chip area due to increase of the number of memory banks.

CONSTITUTION: Two banks, #1 and #2, share a global IO line bus GIO, a preamplifier group 9, an input buffer group 15, an output buffer 11. This method can halve the number of the above blocks compared with conventional systems where these blocks are provided for each bank.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-77771

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

G 11 C 11/409

識別記号

府内整理番号

F I

技術表示箇所

G 11 C 11/ 34

354 A

審査請求 未請求 請求項の数4 O.L (全16頁)

(21) 出願番号 特願平6-214806

(22) 出願日 平成6年(1994)9月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岩本 久

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユ・エル・エス・アイ開発研究所内

(72) 発明者 小西 康弘

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユ・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 深見 久郎 (外3名)

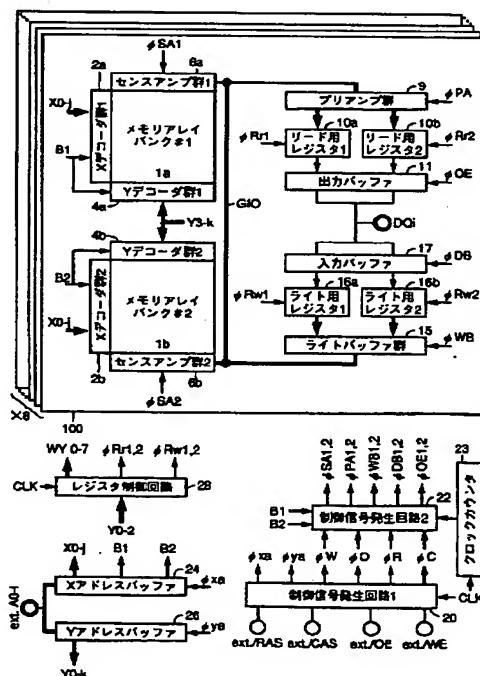
最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置および半導体記憶装置

(57) 【要約】

【目的】 メモリバンク数の増加によるチップ面積の増大を抑制することができる同期型半導体記憶装置および半導体記憶装置を提供する。

【構成】 2つのバンク#1, #2に対して、グローバルI/O線バスG1O、プリアンプ群9、ライトバッファ群15、入力バッファ17および出力バッファ11を共通に設ける。これらをバンクごとに設けていた従来に比べ、これらの数を半分に減らすことができる。



1

【特許請求の範囲】

【請求項1】 外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、

各々が、複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイからいずれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリパンク、

前記複数のメモリパンクに共通に設けられるデータ読出回路、

前記複数のメモリパンクの各々に対応して設けられる複数のデータ出力回路、および前記アドレス信号に含まれるパンクアドレス信号に従って、前記データ読出回路と前記複数のデータ出力回路のうちの対応のデータ出力回路とを結合するパンク制御手段を備える、同期型半導体記憶装置。

【請求項2】 外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、

各々が、複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイからいずれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリパンク、

前記複数のメモリパンクに共通に設けられるデータ書込回路、
前記複数のメモリパンクの各々に対応して設けられる複数のデータ入力回路、および前記アドレス信号に含まれるパンクアドレス信号に従って、前記データ書込回路と前記複数のデータ入力回路のうちの対応のデータ入力回路とを結合するパンク制御手段を備える、同期型半導体記憶装置。

【請求項3】 外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、

各々が、複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイからいずれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリパンク、

前記複数のメモリパンクに共通に設けられるデータ読出回路、

前記複数のメモリパンクの各々に対応して設けられる複数のデータ出力回路、

前記複数のメモリパンクに共通に設けられるデータ書込み回路、

前記複数のメモリパンクの各々に対応して設けられる複数のデータ入力回路、および前記アドレス信号に含まれるパンクアドレス信号に従って、データ読出し時に前記データ読出回路と前記複数のデータ出力回路のうちの対応のデータ出力回路とを結合し、データ書込み時に前記データ書込回路と前記複数のデータ入力回路のうちの対

2

応のデータ入力回路とを結合するパンク制御手段を備える、同期型半導体記憶装置。

【請求項4】 複数のパンクを有する半導体記憶装置であって、

行列状に配列される複数のメモリセルを有するメモリセルアレイ、

各行に対応して配置され、各々が前記複数のパンクに対応してグループ化される複数のサブワード線を含み、かつ各々に対応の行のメモリセルに接続される複数のワード線、

行アドレス信号に従って前記メモリセルアレイの対応の行のワード線を選択状態とするワード線選択信号を発生するワード線選択信号発生手段、およびパンク指定信号と前記ワード線選択信号とに応答して、選択されたワード線のうちの対応のサブワード線を選択状態にするワード線選択手段を備える、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は同期型半導体記憶装置および半導体記憶装置に関し、特に、外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置、および複数のパンクを有する半導体記憶装置に関する。

【0002】

【従来の技術】マイクロプロセッサ(MPU)は近年ますます高速化されてきている。一方、主記憶として用いられるダイナミック・ランダム・アクセス・メモリ(以下、DRAMと称す)は高速化されてきてはいるものの、その動作速度は依然MPUの動作速度に追随することはできない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよく言われる。

【0003】システムの性能を向上させるために、DRAMとMPUとの間に、高速のスタティック・ランダム・アクセス・メモリ(以下、SRAMと称す)からなるキャッシュメモリと呼ばれる高速メモリを配置する手法がよく用いられる。キャッシュメモリに使用頻度の高いデータを格納しておき、MPUが必要とするデータがキャッシュメモリ内に記憶されている場合には高速のキャッシュメモリへアクセスする。キャッシュメモリにMPUが要求するデータがないときのみDRAMへアクセスする。使用頻度の高いデータが高速のキャッシュメモリに格納されているため、DRAMへのアクセス頻度が大幅に低減され、これによりDRAMのアクセスタイムおよびサイクルタイムの影響を排除してシステムの性能を向上させる。

【0004】このキャッシュメモリを用いる方法は、SRAMがDRAMに比べて高価であるため、パーソナルコンピュータなどの比較的安価な装置には適していない。したがって、安価なDRAMを用いてシステムの性

能を向上させることが求められている。

【0005】これに対する1つの答として、クロック信号に同期して連続した数ビット（たとえば8ビット）に高速アクセスすることが可能な同期型DRAM（シンクロナスDRAM；以下、SDRAMと称す）と呼ばれるものが提案されている。以下、従来のSDRAMについて詳細に説明する。

【0006】[SDRAMの機能的構成] 図7は従来のSDRAMの主要部の構成を機能的に示すブロック図である。図7においては、 $\times 8$ ビット構成のSDRAMの1ビットの入出力データに関連する機能的部分の構成が示される。データ入出力端子DQiに関連するアレイ部分は、バンク#1を構成するメモリアレイ1aとバンク#2を構成するメモリアレイ1bを含む。

【0007】バンク#1のメモリアレイ1aに対しては、アドレス信号X0～Xjをデコードしてメモリアレイ1aの対応の行を選択する複数のロウデコーダを含むXデコーダ群2aと、列アドレス信号Y3～Ykをデコードしてメモリアレイ1aの対応の列を選択する列選択信号を発生する複数のコラムデコーダを含むYデコーダ群4aと、メモリアレイ1aの選択された行に接続されるメモリセルのデータを検知し増幅するセンスアンプ群6aを含む。

【0008】Xデコーダ群2aは、メモリアレイ1aの各ワード線に対応して設けられるロウデコーダを含む。アドレス信号X0～Xjに従って対応のロウデコーダが選択状態となり、選択状態とされたロウデコーダに対して設けられたワード線が選択状態となる。

【0009】Yデコーダ群4aは、メモリアレイ1aの列選択線それぞれに対して設けられるコラムデコーダを含む。1本の列選択線は、後に説明するように8対のビット線を選択状態とする。Xデコーダ群2aおよびYデコーダ群4aにより、メモリアレイ1aにおいて8ビットのメモリセルが同時に選択状態とされる。Xデコーダ群2aおよびYデコーダ群4aはそれぞれバンク指定信号B1により活性化されるように示される。

【0010】バンク#1には、さらに、センスアンプ群6aにより検知増幅されたデータを伝達するとともに書き込みデータをメモリアレイ1aの選択されたメモリセルへ伝達するための内部データ伝達線（グローバルIO線）のバスGIOが設けられる。グローバルIO線バスGIOは同時に選択された8ビットのメモリセルと同時にデータの授受を行なうために8対のグローバルIO線を含む。

【0011】データ読出しのために、バンク#1においてグローバルIO線バスGIO上のデータをプリアンプ活性化信号φPA1に応答して活性化されて増幅するプリアンプ群8aと、プリアンプ群8aで増幅されたデータを格納するためのリード用レジスタ10aと、リード用レジスタ10aに格納されたデータを順次出力するた

めの出力バッファ12aとが設けられる。

【0012】プリアンプ群8aおよびリード用レジスタ10aは、8対のグローバルIO線に対応してそれぞれ8ビット幅の構成を備える。リード用レジスタ10aは、レジスタ活性化信号φRr1に応答してプリアンプ群8aの出力するデータをラッチしつつ順次出力する。

【0013】出力バッファ12aは、出力イネーブル信号φOE1に応答して、リード用レジスタ10aから順次出力される8ビットのデータをデータ入出力端子DQiへ伝達する。図7においては、データ入出力端子DQiを介してデータ入力およびデータ出力が行なわれるよう示される。このデータ入力およびデータ出力は別々の端子を介して行なわれる構成であってもよい。

【0014】データの書き込みを行なうために、入力バッファ活性化信号φDB1に応答して活性化され、データ入出力端子DQiに与えられた入力データから内部書き込みデータを生成する1ビット幅の入力バッファ18aと、レジスタ活性化信号φRW1に応答して活性化され、入力バッファ18aから伝達された書き込みデータを順次（ラップアドレスに従って）格納するライト用レジスタ16aと、書き込みバッファ活性化信号φWB1に応答して活性化され、ライト用レジスタ16aに格納されたデータを増幅してグローバルIO線対バスGIOへ伝達するライトバッファ群14aを含む。

【0015】ライトバッファ群14aおよびライト用レジスタ16aはそれぞれ8ビット幅を有する。

【0016】バンク#2も同様に、メモリアレイ1b、Xデコーダ群2b、Yデコーダ群4b、センスアンプ活性化信号φSA2に応答して活性化されるセンスアンプ群6b、プリアンプ活性化信号φPA2に応答して活性化されるプリアンプ群8b、レジスタ活性化信号φRr2に応答して活性化されるリード用レジスタ10b、出力イネーブル信号φOE2に応答して活性化される出力バッファ12b、バッファ活性化信号φWB2に応答して活性化されるライトバッファ群14b、レジスタ活性化信号φRW2に応答して活性化されるライト用レジスタ16b、およびバッファ活性化信号φDB2に応答して活性化される入力バッファ18bを含む。

【0017】バンク#1の構成とバンク#2の構成は同一である。リード用レジスタ10aおよび10bならびにライト用レジスタ16aおよび16bを設けることにより1つのデータ入出力端子DQiに対し高速のクロック信号に同期してデータの入出力を行なうことが可能となる。

【0018】バンク#1および#2に対する各制御信号については、バンク指定信号B1およびB2に従っていずれか一方のバンクに対する制御信号のみが発生される。

【0019】図7に示す機能ブロック200が各データ入出力端子に対して設けられる。 $\times 8$ ビット構成のSD

5

RAMの場合、機能ブロック200を8個含む。

【0020】バンク#1およびバンク#2をほぼ同一構成とし、バンク指定信号B1およびB2により一方のみを活性化することにより、バンク#1および#2は互いにほぼ完全に独立して動作することが可能となる。

【0021】データ読出し用のレジスタ10aおよび10bとデータ書き込み用のレジスタ16aおよび16bと別々に設けるとともにそれぞれバンク#1および#2に対して設けることにより、データ読出しおよび書き込みの動作モード切換え時およびバンク切換え時においてデータが衝突することがなく、正確なデータの読出しおよび書き込みを実行することができる。

【0022】バンク#1および#2をそれぞれ独立に駆動するための制御系として、第1の制御信号発生回路20、第2の制御信号発生回路22およびクロックカウンタ23が設けられる。

【0023】第1の制御信号発生回路20は、外部から与えられる制御信号、すなわち、外部ロウアドレスストローブ信号ext./RAS、外部コラムアドレスストローブ信号ext./CAS、外部出力カイネーブル信号ext./OE、外部書き込みイネーブル信号(書き込み許可信号)ext./WEおよびマスク指示信号WMをたとえばシステムクロックである外部クロック信号CLKに同期して読み込み、内部制御信号 ϕ_{xa} 、 ϕ_{ya} 、 ϕ_W 、 ϕ_O 、 ϕ_R 、および ϕ_C を発生する。

【0024】第2の制御信号発生回路22は、バンク指定信号B1およびB2と、内部制御信号 ϕ_W 、 ϕ_O 、 ϕ_R および ϕ_C とクロック信号CLKに応答してバンク#1および#2をそれぞれ独立に駆動するための制御信号、すなわち、センスアンプ活性化信号 ϕ_{SA1} 、 ϕ_{SA2} 、プリアンプ活性化信号 ϕ_{PA1} 、 ϕ_{PA2} 、ライトバッファ活性化信号 ϕ_{WB1} 、 ϕ_{WB2} 、入力バッファ活性化信号 ϕ_{DB1} 、 ϕ_{DB2} 、および出力バッファ活性化信号 ϕ_{OE1} 、 ϕ_{OE2} を発生する。

【0025】SDRAMはさらに、周辺回路として、内部制御信号 ϕ_{xa} に応答して外部アドレス信号ext./A0ないしext./Aiを取り込み、内部アドレス信号 $x_0 \sim x_j$ とバンク選択信号B1およびB2を発生するXアドレスバッファ24と、内部制御信号 ϕ_{ya} に応答して活性化され、列選択線を指定するための列選択信号Y3～Ykと、連続アクセス時における最初のビット線対(列)を指定するラップアドレス用ビットY0～Y2と、バンク指定信号B1およびB2を発生するYアドレスバッファ26と、ラップアドレスWY0～WY7とリード用レジスタ10aおよび10bを制御するためのレジスタ駆動用信号 ϕ_{Rr1} および ϕ_{Rr2} ならびにライト用レジスタ16aおよび16bを駆動するための制御信号 ϕ_{Rw1} および ϕ_{Rw2} を発生するレジスタ制御回路28を含む。

【0026】レジスタ制御回路28へは、またバンク指

6

定信号B1およびB2が与えられ、選択されたバンクに對してのみレジスタ駆動用信号が発生される。

【0027】[チップレイアウト] 図8は、従来のSDRAMのチップレイアウトを示す図である。図8においては、一例として、2Mワード×8ビット構成の16MビットSDRAMのチップレイアウトが示される。

【0028】SDRAMは、各々が4Mビットの記憶容量を有する4つのメモリマットMM1ないしMM4を含む。メモリマットMM1ないしMM4の各々は、それぞれ256Kビットの記憶容量を有する16個のメモリアレイMA1～MA16を含む。

【0029】メモリマットMM1ないしMM4の一方側にチップ長辺方向に沿ってロウデコーダRD1ないしRD4がそれぞれ配置される。また、メモリマットMM1ないしMM4のチップ中央側に、短辺方向に沿ってコラムデコーダCD1ないしCD4がそれぞれ配置される。コラムデコーダCD(コラムデコーダCD1ないしCD4を総称的に示す場合、符号CDを用いる)の出力には、それぞれ、対応のメモリマットMM(メモリマットMM1ないしMM4を総称的に示す)の各アレイを横切って延びる列選択線CSLが配置される。1本の列選択線CSLは、8対のビット線を同時に選択状態とする。

【0030】内部データを伝達するためのグローバルI/O線対GIOがまた、メモリマットMM4の長辺方向に沿って各アレイを横切るように配置される。

【0031】メモリマットMM1ないしMM4のそれぞれに対して、チップ中央側に、選択されたメモリセルから読み出されたデータの増幅を行なうためのプリアンプPAと選択されたメモリセルへの書き込みデータを伝達するためのライトバッファWBとからなる入出力回路PW1ないしPW4が配置される。

【0032】チップ中央部には、アドレス信号を発生するための回路および制御信号を発生するための回路などを含む周辺回路PHが配置される。

【0033】図8に示すSDRAMは、図7に示すように、互いに独立にプリチャージ動作および活性化動作(ワード線選択およびセンス動作ならびに列選択動作)を行なうことのできる2つのバンク#1および#2を備える。バンク#1は、メモリマットMM1およびMM2を含み、バンク#2はメモリマットMM3およびMM4を含む。このバンクの数は、変更可能である。

【0034】メモリマットMM1ないしMM4の各々は、2つのアレイブロック(記憶容量2Mビット)を備える。1つのアレイブロックはメモリアレイMA1ないしMA8から構成され、他方のアレイブロックはメモリアレイMA9ないしMA16から構成される。1つのアレイブロックにおいて最大1つのメモリアレイが選択される。

【0035】同時に活性化されるメモリアレイの数は4個であり、図8においては、メモリマットMM3のメモ

リアレイMA 8およびMA 16と、メモリマットMM 4のメモリアレイMA 8およびMA 16が活性化された状態が示される。すなわち、選択されたバンクにおいて、各メモリマットの各アレイブロックから1つのメモリアレイが選択される。

【0036】同時に選択される列選択線CSLの数は8本である。1本の列選択線CSLは8対のビット線を選択する。したがって、同時に $8 \times 8 = 64$ ビットのメモリセルが選択される。

【0037】入出力回路PWは、対応のメモリマットMMの各メモリアレイに対し共通に利用される。1つの入出力回路PWに含まれるプリアンプPAおよびライトバッファWBの数は、それぞれ32個であり、SDRAM全体ではそれぞれ128個($= 32 \times 4$)である。

【0038】チップ中央部に集中的に配置されるプリアンプPAおよびライトバッファWB(入出力回路PW)は、周辺回路PHに含まれる制御回路により駆動される。これにより、プリアンプPAおよびライトバッファWBの動作を制御するための信号線が短くなり、したがって信号線の負荷が小さくなり、高速動作を実現することができる。

【0039】また、周辺回路PHをチップ中央部に集中的に配置することにより、データの入出力はこのチップ中央部を介して行なわれることとなり、パッケージ実装時におけるピン配置としては、データ入出力端子がパッケージ中央部に配置されることになる。したがって、周辺回路PHとデータ入出力端子との距離が短くなり、高速でデータの入出力を行なうことができる。

【0040】図9は、図8に示すSDRAMのIO線の配置を具体的に示す図である。図9において、2つの2MビットメモリアレイMSA1およびMSA2が示される。2MビットメモリアレイMSA2は、チップ中央部から遠い位置に配置される2Mビットアレイブロックであり、2MビットメモリアレイMSA1は、チップ中央部に近い2Mビットアレイブロックを示す。

【0041】2MビットメモリアレイMSA1およびMSA2は、ともに、8行8列に配置された64個の32KビットメモリアレイMKを含む。2MビットメモリアレイMSA(メモリアレイMSA1およびMSA2を総称的に示す)は、ワード線WLの延びる方向に沿って4つのアレイブロックAG1、AG2、AG3およびAG4に分割される。ワード線WLの方向に沿って隣接する32KビットメモリアレイMKの間にはワード線シャント領域WSが設けられる。通常、DRAMにおいては、ワード線の抵抗を下げるためにポリシリコンで構成されるワード線WLと平行にアルミニウムなどの低抵抗金属配線を配置し、このポリシリコンワード線と低抵抗金属配線とを所定の間隔で電気的に接続する。このポリシリコンワード線と低抵抗金属配線とを接続するための領域をワード線シャント領域と称す。このワード線シャン

ト領域においては、ビット線BLの下層に存在するポリシリコンワード線とビット線の上層に存在する低抵抗金属配線層とを接続する必要があるため、この領域においてはビット線すなわちメモリセルが存在しない。

【0042】1つのワード線シャント領域WSにおいて、チップ中央部に近い2MビットメモリアレイMSA1においては4つのグローバルIO線対が配置される。この4対のグローバルIO線のうち2対のグローバルIO線はさらにチップ中央部より遠い2Mビットメモリアレイ領域MSA2にまで延びる。すなわち、チップ中央部よりも遠い2Mビットメモリアレイ領域MSA2におけるワード線シャント領域においては、2つのグローバルIO線対GIOが配設される。2つのグローバルIO線対が1つの2MビットメモリアレイMSAにより利用される。

【0043】グローバルIO線対GIOと選択されたメモリアレイとを接続するためにローカルIO線対LIOが設けられる。アレイグループAG1、AG2、AG3およびAG4それぞれにおいて各アレイブロックMKに対しローカルIO線対LIOが設けられる。

【0044】1つの32KビットメモリアレイMKに対して、一方側に配設される2つのローカルIO線対LIOと他方側に配接される2つのローカルIO線対LIOと合計4対のローカルIO線対が配置される。ローカルIO線対LIOは、ワード線WLの延びる方向に沿って隣接する同一のアレイグループ内の32KビットメモリアレイMKにより共有されるとともに、ビット線BLの延在する方向に沿って隣接する32KビットメモリアレイMKによっても共有される。

【0045】メモリアレイMKは、後にその構成を説明するように、交互配置型シェアードセンスアンプ構成を備える。ビット線BLの延在する方向において隣接する2つの32KビットメモリアレイMKの間にセンスアンプが配置される。グローバルIO線対GIOとローカルIO線対LIOとを接続するためにブロック選択スイッチBSが配置される。ブロック選択スイッチBSはワード線シャント領域WSとセンスアンプ列との交点に配置される。

【0046】コラムデコーダからの列選択信号を伝達する列選択線CSLは、アレイグループAG1～AG4各自において1本が選択状態とされる。1本の列選択線CSLはチップ中央部から遠い2MビットメモリアレイMSA2において4つのビット線対BLPを選択して対応のローカルIO線対LIOへ接続しつつチップ中央部に近い2MビットメモリアレイMSA1において4つのビット線対BLPを選択して対応のローカルIO線対LIOへ接続する。

【0047】すなわち、1本の列選択線CSLにより8つのビット線対BLPが選択状態とされ、ローカルIO線対LIOを介して8個のグローバルIO線対GIOに

接続される。2つのメモリマットが選択され、かつ1つのメモリマットMMにおいて $8 \times 4 = 32$ 個のビット線対BL Pが選択されるため、合計64個のビット線対BL Pが選択されることになり、全体で合計64ビットのメモリセルに同時にアクセスすることが可能である。

【0048】【メモリセルの配置】図10は、1つの32Kビットメモリアレイに関する部分の構成を示す図である。図10において、32KビットメモリアレイMK2は、ロウデコーダからの行選択信号が伝達されるワード線WLと、このワード線WLと交差する方向に配置されるビット線対BL Pと、ワード線WLとビット線対BL Pとの交差部に対応して配置されるダイナミック型メモリセルMCを含む。

【0049】メモリセルMCは、アクセス用のトランジスタと、情報記憶用のキャパシタとを含む。ビット線対BL Pは、互いに相補な信号が伝達されるビット線BLおよび/BLを含む。図10においては、ビット線BLとワード線WLとの交差部に対応してメモリセルMCが配置されている状態が示される。

【0050】メモリアレイMKの両側に、アレイ選択ゲートSAG1およびSAG2が配置される。アレイ選択ゲートSAG1とアレイ選択ゲートSAG2とはビット線対BL Pに対して交互に配置される。アレイ選択ゲートSAG1は、アレイ選択信号φA1に応答して導通状態となり、アレイ選択ゲートSAG2はアレイ選択信号φA2に応答して導通状態となる。

【0051】ビット線対BL Pはそれぞれアレイ選択ゲートSAG1およびSAG2を介してセンスアンプSA1およびSA2に接続される。すなわち、センスアンプSA1は、メモリアレイMK2の一方側にワード線WLと平行に配置され、センスアンプSA2は、メモリアレイMK2の他方側にワード線WLと平行に配置される。センスアンプSA1およびSA2は、メモリアレイMK2のビット線対BL Pに対して交互に両側に配置される。センスアンプSA1は、メモリアレイMK1とメモリアレイMK2とで共有される。センスアンプSA2は、メモリアレイMK2とメモリアレイMK3とで共有される。

【0052】センスアンプSA1の列と平行に、ローカルIO線対LIO1およびLIO2が配置される。センスアンプSA2の列と平行に、ローカルIO線対LIO3およびLIO4が配置される。図10においては、2つのローカルIO線対がセンスアンプSAの一方側に設けられている配置が示される。ローカルIO線対は、センスアンプSAの両側に配置されてもよい。

【0053】センスアンプSA1に対し、このセンスアンプSA1により検知増幅されたデータをローカルIO線対LIO1およびLIO2へ伝達するための列選択ゲートCSG1が設けられる。同様に、センスアンプSA2に対しては、センスアンプSA2により検知増幅され

たデータをローカルIO線対LIO3およびLIO4へ伝達するための列選択ゲートCSG2が設けられる。

【0054】コラムデコーダからの信号を受ける列選択線CSLは2つの列選択ゲートCSG1と2つの列選択ゲートCSG2を同時に導通状態とする。これにより4つのビット線対BL PがローカルIO線対LIO1、LIO2、LIO3およびLIO4へ同時に接続される。センスアンプSA1で検知増幅されたデータはローカルIO線対LIO1およびLIO2へ伝達される。センスアンプSA2により検知増幅されたデータはローカルIO線対LIO3およびLIO4へ伝達される。

【0055】ローカルIO線対LIOとグローバルIO線対GIOとの間に、ブロック選択信号φBに応答して導通するブロック選択スイッチBSが設けられる。図10においては、ローカルIO線対LIO1をグローバルIO線対GIO1へ接続するためのブロック選択スイッチBS1と、ローカルIO線対LIO2をグローバルIO線対GIO2へ接続するブロック選択スイッチBS2とが示される。

【0056】ローカルIO線対LIO3およびLIO4は図9に示すように、隣接する2つのグローバルIO線対GIOへそれぞれブロック選択スイッチBSを介して接続される(図10には示さず)。

【0057】次に動作について簡単に説明する。選択されたワード線WLがメモリアレイMK2に含まれる場合、アレイ選択信号φA1およびφA2が活性状態となり、メモリアレイMK2に含まれるビット線対BL PがセンスアンプSA1およびSA2へ接続される。メモリアレイMK1およびMK3に対して設けられたアレイ選択ゲートSAG0およびSAG3は非導通状態となる。メモリアレイMK1およびMK3はプリチャージ状態を維持する。

【0058】メモリアレイMK2においては、各ビット線対BL Pにおいてメモリセルデータが現れた後、センスアンプSA1およびSA2が活性化され、このメモリセルデータを検知し増幅する。

【0059】次いで、列選択線CSL上の信号が活性状態の“H”に立上ると、列選択ゲートCSG1およびCSG2が導通し、センスアンプSA1およびSA2で検知増幅されたデータがローカルIO線対LIO1ないしLIO4へ伝達される。

【0060】統いてまたは同時にブロック選択信号φBが活性状態の“H”となり、ローカルIO線対LIO1ないしLIO4がグローバルIO線対GIO1ないしGIO4へ接続される。データ読出し時においては、このグローバルIO線対のデータがプリアンプPAを介して増幅されて読出し用レジスタに格納された後に順次出力される。データ書き込み時においては、ライトバッファWBから与えられた書き込みデータがグローバルIO線対GIO、およびローカルIO線対LIOを介して選択ビッ

11

ト線対B L Pへ伝達され、メモリセルへのデータの書込みが実行される。

【0061】ブロック選択信号 ϕ Bは、選択ワード線W Lが属するメモリアレイMK2に対してのみ活性状態となる。アレイ選択信号 ϕ A1および ϕ A2も同様である。ブロック選択信号 ϕ Bならびにアレイ選択信号 ϕ A1および ϕ A2は、行アドレス信号の所定数のビット(たとえば4ビット)を用いて生成することができる。

【0062】[動作モードの指定] SDRAMの動作モードは、クロック信号CLKの立上がりエッジでの外部制御信号の状態により決定される。外部制御信号は、パルスの形態で動作モードを指定するサイクルにおいてのみ与えられる。すべての制御信号、アドレス信号および書込データはすべてクロック信号CLKの立上がりエッジで内部に取込まれる。クロック信号CLKの立上がりエッジにおける外部制御信号の状態の組合せにて装置内部で指定された動作モードの判別が行なわれ、該判別結果に従って指定された動作モードに対応する動作制御が実行される。次に、外部制御信号と動作モードとの対応関係について説明する。

【0063】(a) $/RAS = "L"$ かつ $/CAS = /WE = "H"$

この状態はアクティブコマンドと称し、行アドレスの取込みが指定されかつアレイの活性化が指定される。すなわち、行アドレスを取込みかつ合わせてバンクアドレスも取込み、選択されたバンクにおいて行選択に関連する動作が実行される。

【0064】(b) $/CAS = "L"$ かつ $/RAS = /WE = "H"$

この状態はリードコマンドと称し、列アドレスの取込みが指定されかつデータ読出し動作モードが指定される。この動作モードにおいては、またバンクアドレスも列アドレスの取込みとともに取込まれ、選択されたバンクに対応する読出しデータレジスタが選択され、選択されたメモリセルの読出しデータレジスタへのデータ転送動作が選択されたバンクにおいて実行される。

【0065】(c) $/CAS = /WE = "L"$ かつ $/RAS = "H"$

この外部制御信号の状態の組合せは、ライトコマンドと称し、列アドレスの取込みおよびデータ書込み動作を指定する。この動作モードにおいては、選択されたバンクにおいて書込みレジスタの活性化が行なわれ、与えられたデータの書込みレジスタおよび選択メモリセルへの書込みが行なわれる。

【0066】(d) $/RAS = /WE = "L"$ かつ $/CAS = "H"$

この外部制御信号の状態の組合せは、プリチャージコマンドと称し、アレイがプリチャージ状態とされる。

【0067】この他にもオートリフレッシュコマンドなど種々のコマンドがあるが、説明は省略される。

12

【0068】[具体的動作シーケンス]

[データ読出し] 図11は、SDRAMの通常のデータ読出し時(Random Read Cycle)における外部信号の状態を示すタイミングチャート図である。以下、図11を参照して、このデータ読出し動作について簡単に説明する。

【0069】サイクル1において、クロック信号CLKの立上がりエッジにおいて、信号 $/RAS$ が“L”、信号 $/CAS$ および $/WE$ がともに“H”に設定され、“アクティブコマンド”が与えられる。このとき、行アドレス信号ビットAdd.が行アドレス信号Xaとして取込まれ内部アドレスが生成される。このときまた同時に、バンクアドレス信号BAも取込まれ、バンク指定信号B1またはB2が発生される。以下の説明において、バンクアドレス信号BAが“0”的ときに、バンク#1が指定され、バンクアドレス信号BAが“1”的ときに、バンク#2が指定されるものとする。

【0070】バンク#1において、行デコーダ動作およびアレイの活性化が実行される。クロックサイクル4において、クロック信号CLKの立上がりエッジで信号 $/RAS$ および $/WE$ が“H”に設定され、信号 $/CS$ が“L”に設定され、“リードコマンド”が与えられる。データ読出しが指定されるとともに、このサイクル3のクロック信号CLKの立上がりエッジでアドレス信号ビットAdd.が列アドレス信号Ybとして取込まれる。このときまたバンクアドレスBAが与えられる。バンクアドレスBAはバンク#1を示す“0”である。内部では、バンク#1に対し、行アドレス信号Xaおよび列アドレス信号Ybに従って行および列の選択動作が実行され、選択されたメモリセルのデータが読出しデータレジスタ(リード用レジスタ)へ格納される。サイクル7においてデータが読出される。

【0071】サイクル7からサイクル14にわたって、読出し用レジスタに格納された8個のデータが順次クロック信号CLKの立上がりエッジに同期して読出される。連続8ビットのデータをb0～b7として示す。なお、データ入出力端子はDQ0～DQ7と8ビットあり、1つのデータbはバイトデータである。

【0072】データ読出しと平行して、サイクル7においてクロック信号CLKの立上がりエッジで信号 $/RAS$ および $/WE$ を“L”に設定し、信号 $/CAS$ を“H”に設定する。このとき、合わせてバンクアドレス信号BAが“0”に設定される。これによりバンク#1のプリチャージが指定され、バンク#1のアレイのプリチャージが実行される。

【0073】プリチャージ状態に入ったバンク#1は、所定のRASプリチャージ期間(2～3クロックサイクル)が経過した後再び活性化することができる。

【0074】サイクル11において、クロック信号CLKの立上がりエッジで、信号 $/RAS$ が“L”、信号 $/CAS$ が“H”に設定され、“リードコマンド”が与えられる。

13

CASおよびWEがともに“H”となる。バンクアドレス信号BAは、また“0”である。バンク#1が再び活性化され、そのときに与えられていた行アドレス信号Xcに従って行選択動作が開始される。

【0075】サイクル14におけるクロック信号CLKの立上がりエッジで信号/CASが“L”、信号/RASおよびWEがともに“H”に設定される。列アドレス信号Ydの読み込みおよびバンクアドレス信号BAの読み込みが行なわれるとともにデータ読出し動作が指定される。

【0076】バンク#1において、行アドレスXcおよび列アドレスYdに従って行および列選択動作が実行され、選択されたメモリセルのデータが再び読出しデータレジスタへ転送される。データの装置外部への出力は、信号/RASが“L”に入ったメモリサイクルの開始から6クロックをカウントした後に実行される。

【0077】サイクル17から、クロック信号CLKの立上がりエッジで、アドレスXcおよびYdにより選択された8個のデータd0～d7が順次クロック信号CLKの立上がりに応答して読出される。サイクル17において同時に、信号/RASおよびWEを“0”とし、バンクアドレス信号BAを“0”とする。これによりバンク#1は再びプリチャージ状態に入る。

【0078】また、図12は、2つのバンク#1および#2から交互に連続的にデータを読出すとき(Dual Bank Interleaved Read Cycle)の外部信号の状態を示すタイミングチャート図である。サイクル0からサイクル8までは図11で示した読出動作と同じである。

【0079】次に、サイクル9において、信号/RASを“L”、信号/CASおよびWEを“H”とし、バンクアドレス信号BAを“1”とする。このアクティブコマンドに応じて、バンク#2が選択され、そのときに与えられていたアドレス信号ビットAddが行アドレスXcとして取込まれる。その後バンク#2において行アドレスXcに従った行選択動作が実行される。

【0080】サイクル12におけるクロック信号CLKの立上がりエッジで、信号/RASおよびWEを“H”に設定しつつ信号/CASを“L”に設定する。これによりバンク#2に対するリードコマンドが与えられ、データ読出し動作が指定される。このときまた同時に、列アドレスYdがバンクアドレス信号BAとともに取込まれる。

【0081】バンク#1からデータb7が読出された後、次のクロックサイクル15のクロック信号CLKの立上がりエッジでバンク#2からのデータd0が読出される。このとき、また、信号/RASが“L”、信号/WEが“L”および信号/CASが“H”に設定され、バンクアドレス信号BAが“1”であり、バンク#2のプリチャージが指定される。データ読出し用データレジスタからは統いてバンク#2から読出されるデータが出

50

14

力される。このときバンク#2においてプリチャージが実行される。

【0082】サイクル17において、再び信号/RASを“L”、信号/CASおよびWEを“H”に設定し、バンクアドレス信号BAを“0”と設定することによりバンク#1が再び活性化される。

【0083】サイクル20において、バンク#1に対する列アドレスYfの読み込みが行なわれる。

【データ書き込み】図13は、SDRAMのデータ書き込み時(Random Write Cycle)における外部信号の状態を示すタイミングチャート図である。書き込み動作を指定するライトコマンドはクロック信号CLKの立上がりエッジで、信号/RASを“H”、信号/CASおよびWEをともに“L”と設定することにより得られる。図13に示す動作シーケンスにおいて、まずバンク#1に対するデータ書き込み動作が指定される。

【0084】このライトコマンドを与えたとき、信号/CASおよびWEの“L”への設定と同時に書き込みレジスタへのデータの書き込みすなわち内部データの読み込みが実行される。すなわち、データ書き込み時においては、入力バッファへのデータの読み込みを書き込み指示と同時に実行する。このとき、まだ書き込みレジスタの状態は完全にリセットされていなくてもよい。次のクロックサイクルまでにレジスタの状態が確定し、データb0の書き込みが行なえればよい。

【0085】この図13に示すデータ書き込み時の動作シーケンスは、上述の点を除いて図11に示すデータ読出し動作と同様であり、その詳細説明は示さない。バンクアドレス信号BAに従ってバンクが選択され、選択されたバンクに対するデータの書き込み(ライト用レジスタを介してのメモリセルへの書き込み)が実行される。

【0086】上述のように、SDRAMはクロック信号CLKの立上がりエッジで信号/RAS、信号/CAS、アドレス、データなどを取込んで動作するので、信号/RAS、信号/CASなどに同期してアドレスやデータなどを読み込み動作していた従来のDRAMに比べ、アドレスなどのスキューリング(タイミングのずれ)によるデータ入出力のマージンを確保せずに済み、サイクルタイムを高速化できるという利点を有する。また、システムによっては、連続した数ビットにアクセスする頻度が高い場合があり、この連続アクセスタイムを高速にすることによって、平均アクセスタイムをSRAMに匹敵させることができる。

【0087】また、従来のDRAMでは、アクセスを行なう前に必ずプリチャージを行なわなければならないが、これがサイクルタイムをアクセスタイムのほぼ2倍にしている原因である。これに対し、SDRAMでは、バンク#1でアクセスしている間にバンク#2をプリチャージしておけば、バンク#1でのアクセスが終了すればすぐにバンク#2でアクセスすることができる。すな

わち、バンク#1および#2に対して、交互にアクセス／プリチャージを行なうことにより、プリチャージによるロスタイムを削除することができる。これは、従来、DRAMの外部で行なっていたインターリープという方法をDRAMの内部に取込んだということができる。

【0088】

【発明が解決しようとする課題】しかし、従来のSDRAMでは、図8で示したように、単純に一方側の2つのメモリマットMM1およびMM2をバンク#1とし、他方側の2つのメモリマットMM3およびMM4をバンク#2としていたので、2つのバンク#1および#2にそれぞれにグローバルIO線バスGIO、ブリアンプ群8a, 8b、ライトバッファ群14a, 14bなどが必要になり、チップ面積の増大を招いていた。また、内部のバンク数が増加するに従ってチップ面積が増大する。

【0089】それゆえに、この発明の主たる目的は、複数のバンクに分割することによって生じるチップ面積の増大を抑制することができる同期型半導体記憶装置および半導体記憶装置を提供することである。

【0090】

【課題を解決するための手段】この発明の第1の同期型半導体記憶装置は、外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、各々が、複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイからいすれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリバンク、前記複数のメモリバンクに共通に設けられるデータ読出回路、前記複数のメモリバンクの各々に対応して設けられる複数のデータ出力回路、および前記アドレス信号に含まれるバンクアドレス信号に従って、前記データ読出回路と前記複数のデータ出力回路のうちの対応のデータ出力回路とを結合するバンク制御手段を備えることを特徴としている。

【0091】また、この発明の第2の同期型半導体記憶装置は、外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、各々が、複数のメモリセルを有するメモリセルアレイと、このメモリセルアレイからいすれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリバンク、前記複数のメモリバンクに共通に設けられるデータ書込回路、前記複数のメモリバンクの各々に対応して設けられる複数のデータ入力回路、および前記アドレス信号に含まれるバンクアドレス信号に従って、前記データ書込回路と前記複数のデータ入力回路のうちの対応のデータ入力回路とを結合するバンク制御手段を備えることを特徴としている。

【0092】この発明の第3の同期型半導体記憶装置は、外部クロック信号に同期して外部制御信号およびアドレス信号を含む外部信号を取込む同期型半導体記憶装置において、各々が、複数のメモリセルを有するメモリ

セルアレイと、このメモリセルアレイからいすれかのメモリセルを選択するメモリセル選択回路とを有する複数のメモリバンク、前記複数のメモリバンクに共通に設けられるデータ読出回路、前記複数のメモリバンクの各々に対応して設けられる複数のデータ出力回路、前記複数のメモリバンクに共通に設けられるデータ書込回路、前記複数のメモリバンクの各々に対応して設けられる複数のデータ入力回路、および前記アドレス信号に含まれるバンクアドレス信号に従って、データ読出し時に前記データ読出回路と前記複数のデータ出力回路のうちの対応のデータ出力回路とを結合し、データ書込み時に前記データ書込回路と前記複数のデータ入力回路のうちの対応のデータ入力回路とを結合するバンク制御手段を備えることを特徴としている。

【0093】また、この発明の半導体記憶装置は、複数のバンクを有する半導体記憶装置であって、行列状に配列される複数のメモリセルを有するメモリセルアレイ、各行に対応して配置され、各々が前記複数のバンクに対応してグループ化される複数のサブワード線を含み、かつ各々に対応の行のメモリセルに接続される複数のワード線、行アドレス信号に従って前記メモリセルアレイの対応の行のワード線を選択状態とするワード線選択信号を発生するワード線選択信号発生手段、およびバンク指定信号と前記ワード線選択信号とに応答して、選択されたワード線のうちの対応のサブワード線を選択状態にするワード線選択手段を備えることを特徴としている。

【0094】

【作用】この発明の第1の同期型半導体記憶装置にあっては、データ読出回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ読出回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【0095】また、この発明の第2の同期型半導体記憶装置にあっては、データ書込回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ書込回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【0096】また、この発明の第3の同期型半導体記憶装置にあっては、データ読出回路およびデータ書込回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ読出回路およびデータ書込回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【0097】また、この発明の半導体記憶装置にあっては、メモリセルアレイをサブワード線単位でメモリバンクに分割し、ワード線が選択されかつバンクが指定されたときにサブワード線を選択状態にするようにしたので、データ読出回路などを複数のメモリバンクに対して共通に設けることができる。したがって、メモリバンク

17

数の増加によるチップ面積の増大を抑制することができる。

【0098】

【実施例】図1はこの発明の一実施例によるSDRAMの構成を示すブロック図である。

【0099】図1を参照して、このSDRAMは図7のSDRAMと異なる点は、グローバルIO線バスG1O、プリアンプ群9、ライトバッファ群15、入力バッファ17および出力バッファ11が2つのバンク#1、#2に対して共通に設けられている点である。

【0100】リード用レジスタ10a、10bおよびライト用レジスタ16a、16bは従来と同様に各バンク#1、#2に対応して設けられる。また、図2に示すように、プリアンプ9aの出力を2つのリード用レジスタ10a、10bに振分けるためのMOSトランジスタTr1、Tr2と、2つのリード用レジスタ10a、10bの出力を出力バッファ11に選択的に通過させるためのMOSトランジスタTr3、Tr4とが設けられる。MOSトランジスタTr1～Tr4は、それぞれ信号φPA1、φPA2、φRr1、φRr2によって制御される。さらに、入力バッファ17の出力を2つのライト用レジスタ16a、16bに振分けるためのMOSトランジスタTr5、Tr6と、2つのライト用レジスタ16a、16bの出力をライトバックアップ15aに選択的に通過させるためのMOSトランジスタTr7、Tr8とが設けられる。MOSトランジスタTr5～Tr8は、それぞれ信号φRw1、φRw2、φWB1、φWB2によって制御される。

【0101】リード用レジスタおよびライト用レジスタをバンクごとに設けるのは、図12で示したインターパイクルにおいて連続して読み書きできるようとするためである。すなわち、一方のバンクから連続してデータを読出している間に他方のバンクからデータを先読みできるようとするためである。

【0102】図3は、図1に示したSDRAMのチップレイアウトを示す図である。図3を参照して、このSDRAMでは各メモリマットMM1～MM4の一方の2MビットメモリアレイMSA1（すなわち256KビットメモリアレイMA1～MA8）がバンク#1を構成し、各メモリマットMM1～MM4の他方の2MビットメモリアレイMSA2（すなわち256KビットメモリアレイMA9～MA16）がバンク#2を構成する。

【0103】選択されたバンクにおいて、各メモリマットMMの各2MビットメモリアレイMSAから1つの256KビットメモリアレイMAが選択される点は従来のSDRAMと同様である。しかし、上述のようにバンク#1、#2を構成したので、各メモリマットMMから1つの256KビットメモリアレイMA（図ではMA16）だけが選択される。したがって、各メモリマットMMから2つの256KビットメモリアレイMA（図8で

18

はMA8およびMA16）が同時に選択されていた従来に比べ、グローバルIO線G1O、プリアンプPA、ライトバッファWBの数を半分に減らすことができる。

【0104】すなわち図4に示すように、図9において設けられていたメモリアレイMSA1用のグローバルIO線対G1Oを除去することができ、グローバルIO線対G1Oの数を32対から16対に減らすことができる。また、各グローバルIO線対G1Oに対応して設けられるプリアンプPAおよびライトバッファWBの数も32個から16個に減らすことができる。よって、チップ面積の縮小化を図ることができる。

【0105】図5はこの発明の他の実施例によるSDRAMの構成を示すブロック図、図6はそのIO線の配置を具体的に示す図である。

【0106】図5および図6を参照して、このSDRAMにあっては、いわゆる分割ワード線方式が適用されており、各メモリマットMMの2つのアレイブロックAG1、AG3がバンク#1を構成し、他の2つのアレイブロックAG2、AG4がバンク#2を構成している。

【0107】詳しく説明すると、このSDRAMは、4つのアレイブロックAG1～AG4に共通に設けられたメインワード線33、34、…と、各メインワード線33、34、…に対応して設けられたメインロウデコーダ31、32、…とを含む。メインロウデコーダ31、32、…は、内部アドレス信号x0～xjに応答して対応のメインワード線33、34、…を選択レベルに立上げる。

【0108】アレイブロックAG1は、メインワード線33、34…に対応して設けられたサブワード線33.1、34.1、…と、各サブワード線33.1、34.1…に対応して設けられたサブロウデコーダ31.1、32.1、…とを含む。また、アレイブロックAG1は、サブワード線33.1、34.1、…と交差して配置された複数のビット線対BLPと、サブワード線33.1、34.1、…とビット線対BLPの各交点に配置されたメモリセルMCとを含む。さらに、アレイブロックAG1は、ビット線対BLPの電位差を増幅するためのセンスアンプ35.1と、バンク指定信号B1が入力されるブロック選択線36.1とを含む。

【0109】サブロウデコーダ31.1、32.1、…は、対応のメインワード線33、34、…が選択レベルに立上げられ、かつグループ選択線36.1が選択レベルに立上げられたことに応じて、対応のサブワード線33.1、34.1、…を選択レベルに立上げる。センスアンプ35.1は、ブロック選択線36.1が選択レベルに立上げられたことに応じて動作する。他のアレイブロックAG2～AG4も同様であるので説明は省略される。

【0110】選択されたバンクにおいて、各メモリマットMMの各2MビットメモリアレイMSAから1つの2

19

56KビットメモリアレイMAが選択される点は従来のSDRAMと同様である。しかし、上述のようにバンク#1, #2を構成したので、各256KビットメモリアレイMAの8つの32KビットメモリアレイMKのうち4つだけが活性化される。図6においては、各メモリマットMMの2つのメモリアレイMA8, MA16が選択され、各メモリアレイMA8, MA16のうちアレイブロックAG2, AG4に属するメモリアレイMKだけが活性化された状態が示される。

【0111】したがって、各メモリマットMMから2つのメモリアレイMAが選択され、2つのメモリアレイMAのすべてのメモリアレイMKが活性化されていた従来に比べ、グローバルIO対GIO, プリアンプPA、ライトバッファWBの数を半分に減らすことができる。

【0112】すなわち図6に示すように、図9において設けられていたアレイブロックAG1, AG3の2MビットメモリアレイMSA1専用のグローバルIO線対GIOと、アレイブロックAG2, AG4の2MビットメモリアレイMSA2専用のグローバルIO線対GIOとを除去することができ、グローバルIO線対GIOの数を32対から16対に減らすことができる。ただし、アレイブロックAG1のローカルIO線対LIOとアレイブロックAG2のローカルIO線対LIOとは互いに接続される。また、アレイブロックAG3のローカルIO線対LIOとアレイブロックAG4のローカルIO線対LIOとは互いに接続される。このようにグローバルIO線対GIOの数を半分に減らすことができるので、各グローバルIO線対GIOに対応して設けられるプリアンプPAおよびライトバッファWBの数も半分に減らすことができる。よって、チップ面積の縮小化を図ることができる。

【0113】

【発明の効果】以上のように、この発明の第1の同期型半導体記憶装置にあっては、データ読出回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ読出回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【0114】また、この発明の第2の同期型半導体記憶装置にあっては、データ書込回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ書込回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【0115】また、この発明の第3の同期型半導体記憶装置にあっては、データ読出回路およびデータ書込回路を複数のメモリバンクに対して共通に設けるので、メモリバンクそれぞれに対してデータ読出回路およびデータ書込回路を設けていた従来に比べ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

10

20

【0116】また、この発明の半導体記憶装置にあっては、メモリセルアレイをサブワード線単位でメモリバンクに分割するので、データ読出回路などを複数のメモリバンクに対して共通に設けることができ、メモリバンク数の増加によるチップ面積の増大を抑制することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例によるSDRAMの全体の構成を機能的に示すブロック図である。

【図2】 図1で示したSDRAMの要部の構成を示すブロック図である。

【図3】 図1で示したSDRAMのチップレイアウトを示す図である。

【図4】 図1で示したSDRAMのメモリアレイの配置を示す図である。

【図5】 この発明の他の実施例によるSDRAMの構成を示す一部省略した回路ブロック図である。

【図6】 図5で示したSDRAMのメモリアレイの配置を示す図である。

【図7】 従来のSDRAMの全体の構成を機能的に示すブロック図である。

【図8】 図7で示したSDRAMのチップレイアウトを示す図である。

【図9】 図7で示したSDRAMのメモリアレイの配置を示す図である。

【図10】 図7で示したSDRAMのアレイの構造を示す図である。

【図11】 図7で示したSDRAMの動作シーケンスの一例を示すタイミングチャート図である。

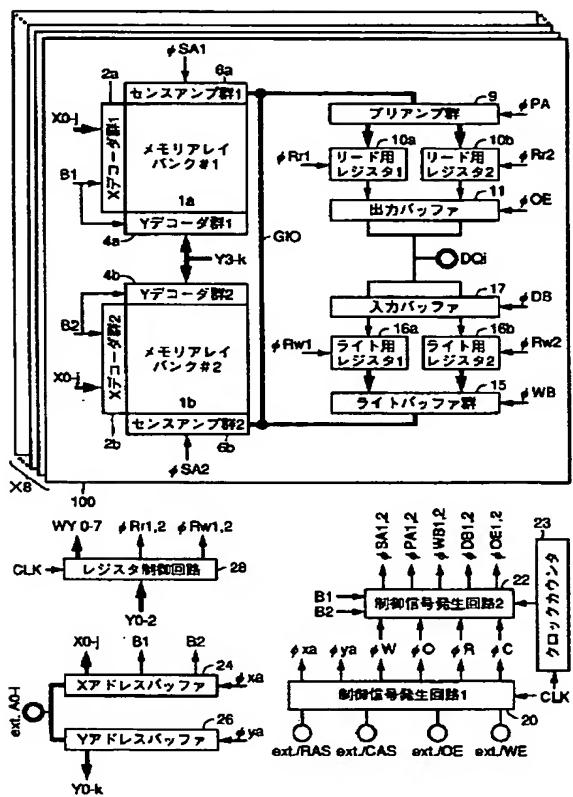
【図12】 図7で示したSDRAMの動作シーケンスの他の例を示すタイミングチャート図である。

【図13】 図7で示したSDRAMの動作シーケンスのさらに他の例を示すタイミングチャート図である。

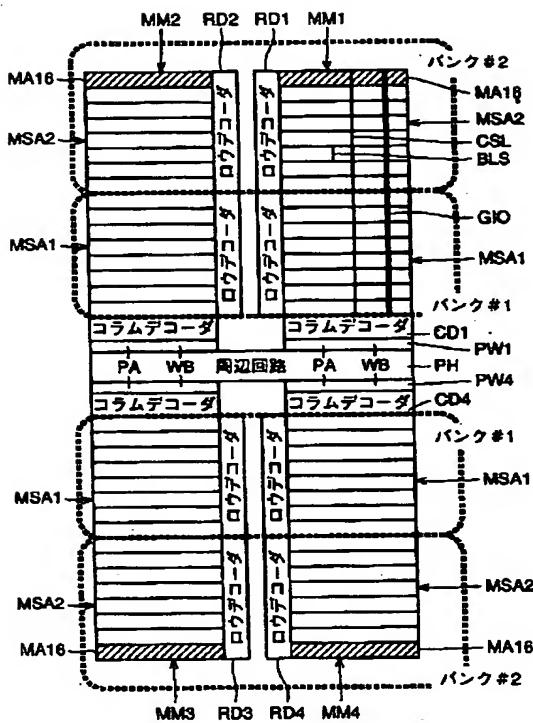
【符号の説明】

1a, 1b メモリアレイ、2a, 2b Xデコーダ群、4a, 4b Yデコーダ群、6a, 6b センスアンプ群、9 プリアンプ群、10a, 10b リード用レジスタ、11 出力バッファ、15 ライトバッファ群、16a, 16b ライト用レジスタ、17 入力バッファ、31, 32 メインロウデコーダ、31, 1~32, 4 サブロウデコーダ、33, 34 メインワード線、33, 1~34, 4サブワード線、WL ワード線、BLP ピット線対、CSL列選択線、GIO グローバルIO線対、LIO ローカルIO線対、BS ブロック選択スイッチ、Tr1~Tr8 NチャネルMOSトランジスタ、PAプリアンプ、WB ライトバッファ、PW 入出力回路、MK 32Kビットメモリアレイ、MA 256Kビットメモリアレイ、MSA 2Mビットメモリアレイ、MM 4Mメモリマット、AG 1~AG4 アレイブロック。

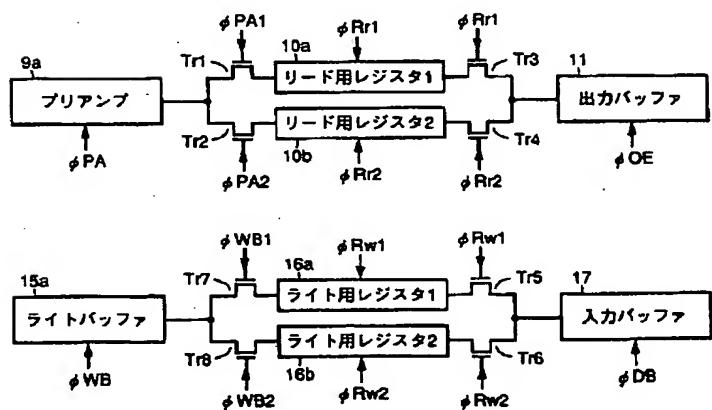
【図1】



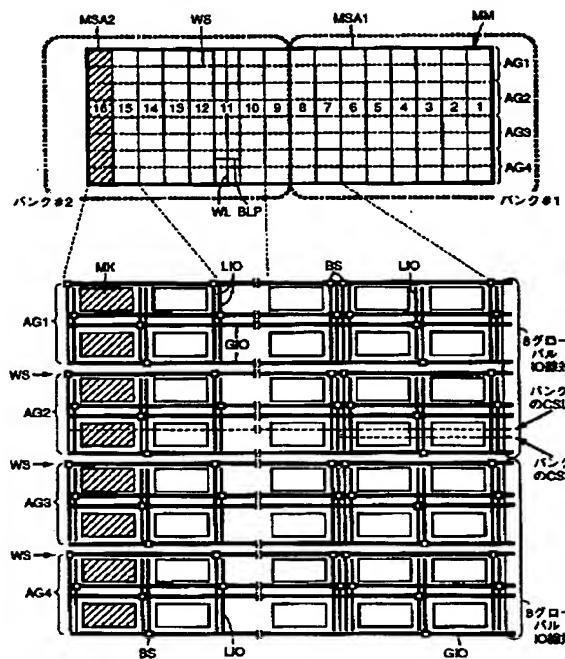
【図3】



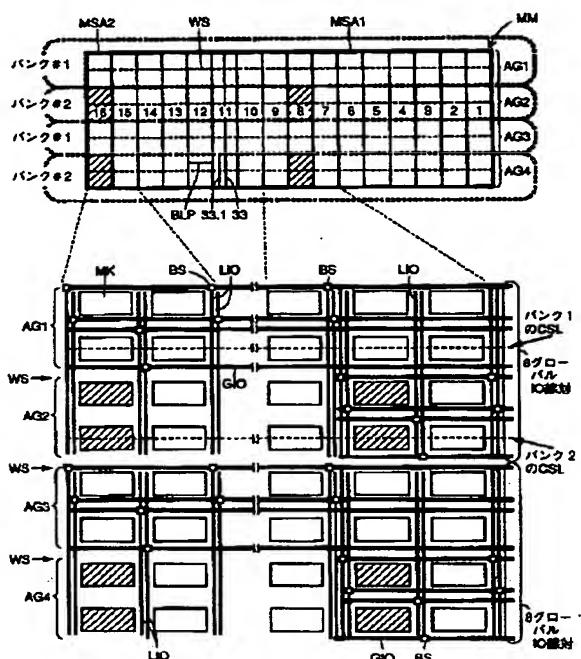
【図2】



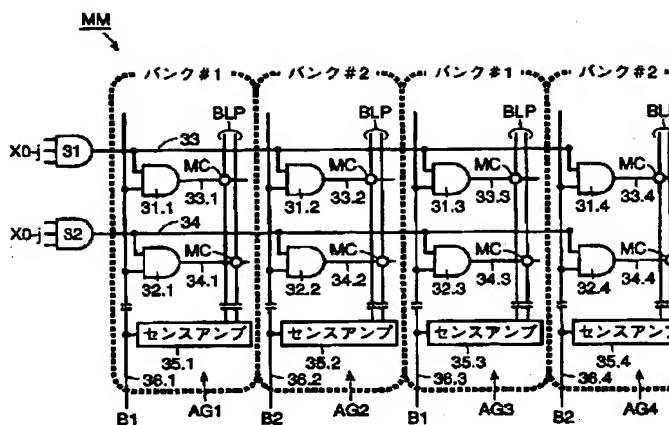
【図4】



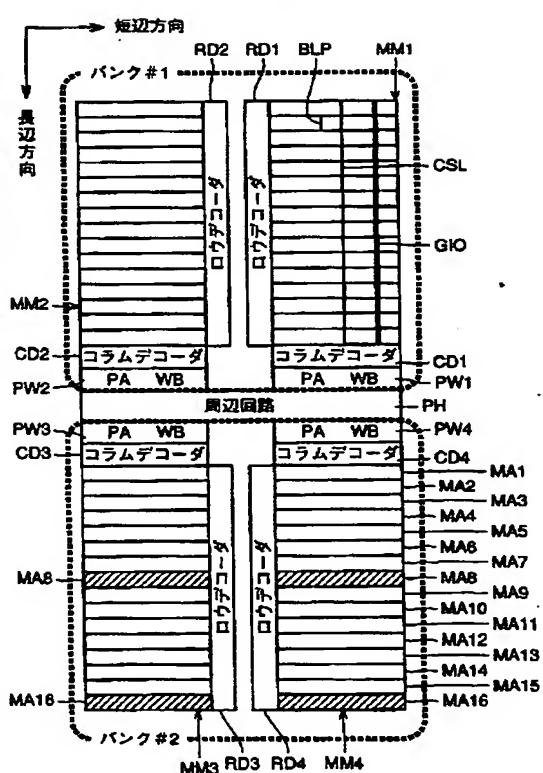
【図6】



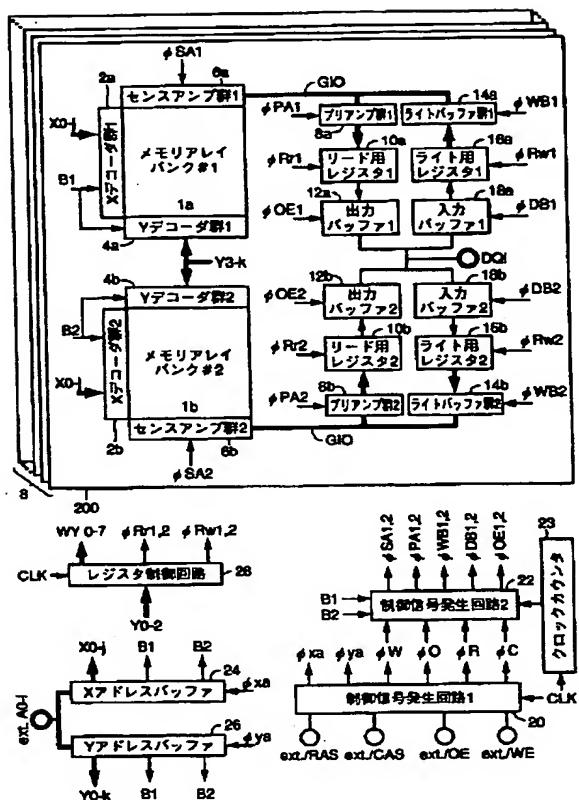
【図5】



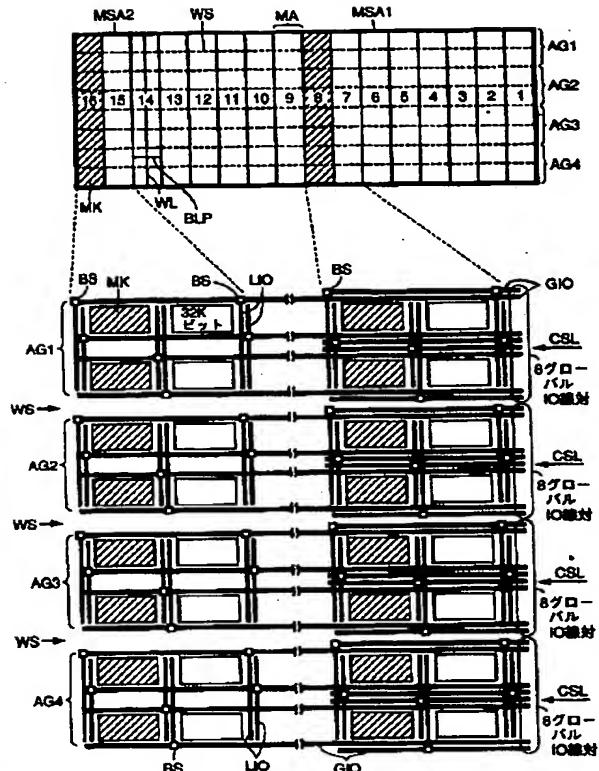
【図8】



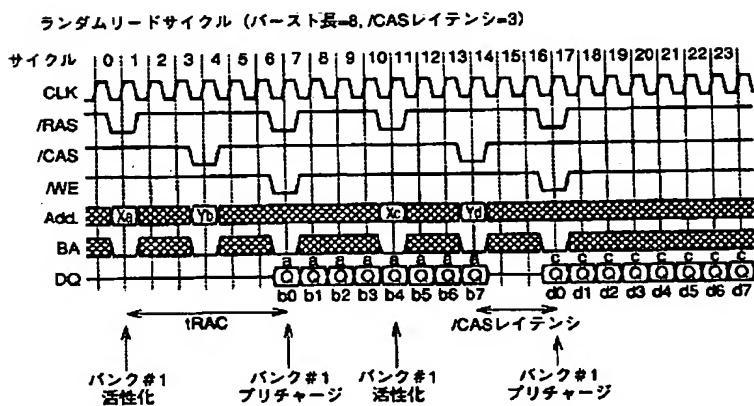
【図7】



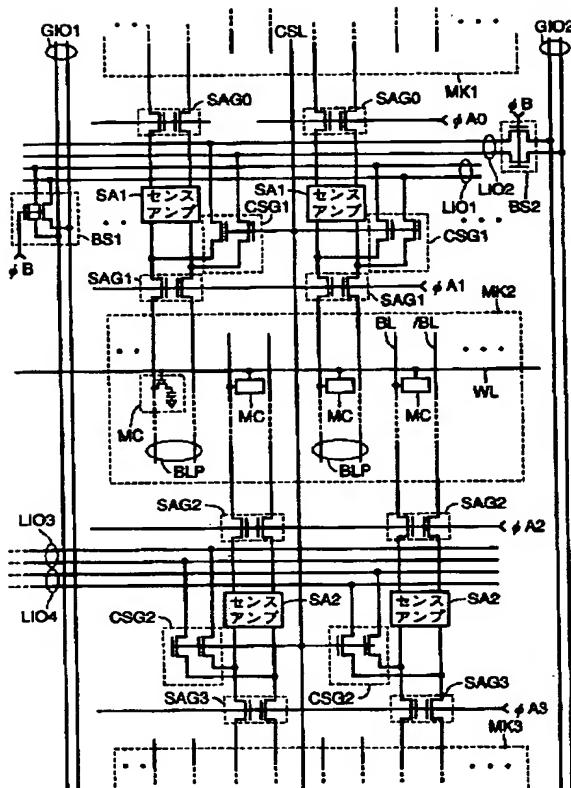
【図9】



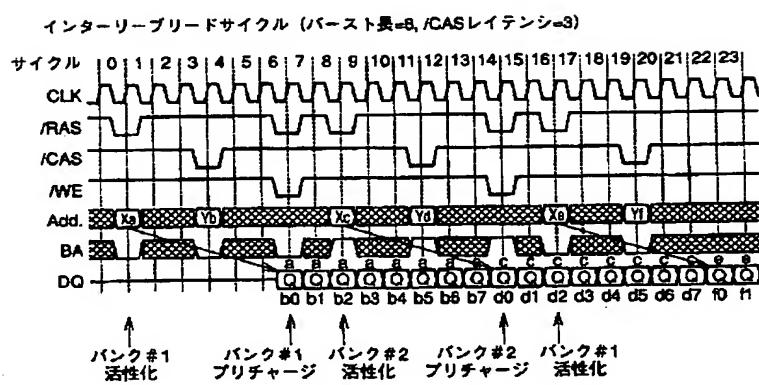
【図11】



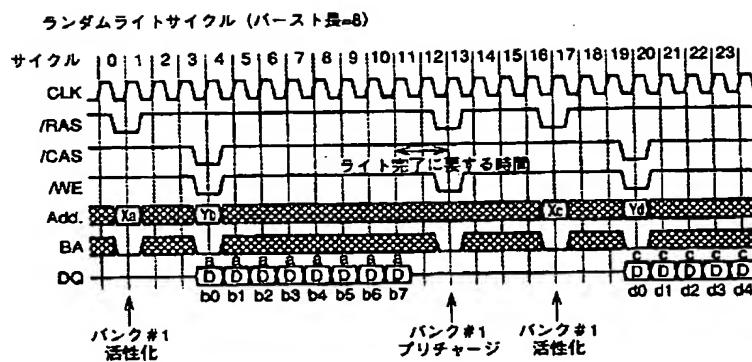
【図10】



【図12】



【図13】



フロントページの続き

(72)発明者 渡邊 直也

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

THIS PAGE BLANK (USPTO)